一种硬件高效的 HOG-SVM 算法及其 FPGA 实现

一．成果完成人及所在单位： 戴鹏程，光电与通信工程学院 指导教师：袁江南

二．成果简介：

以 FPGA 加速行人检测为研究着重点，提出了一种基于现场可编程逻辑门阵列(FPGA)的实时行人检测系统的硬件设计方案。采用使用最为广泛的 HOG 和线性 SVM 分类器的检测算法。使用简化后的 HOG 算法对图像进行特征提取，降低特征的维度，同时降低算法的计算量；通过 FPGA 的流水线和并行化结构优化算法的处理速度，通过 LUT 和简化算法的运算操作降低资源的利用率，通过 FPGA 的结构设计优化算法结构以及降低资源消耗。

三．主要研究内容及创新点：

针对原始 HOG 算法的梯度提取算法计算量大的问题，对梯度提取算法进行简化降低算法的计算量和计算复杂度；针对梯度算法中平方开放运算消耗大量的 DSP 资源的情况，采用基于梯度均值的计算方式简化；针对梯度运算过程中角度值计算大量消耗 DSP 资源的情况，采用 LUT 预缓存正切角度值并通过运算过程进行搜索的方式降低计算对 DSP 资源的消耗。结果指出，简化后的 FPGA 行人检测设计方案能够有效减少 FPGA 的 DSP 资源的使用，优化计算过程，加快计算速度。

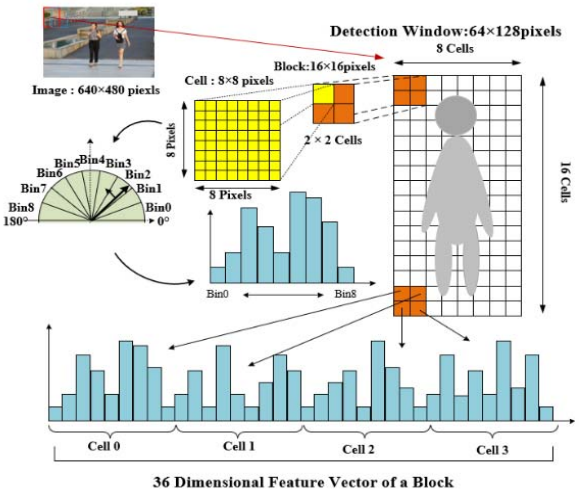


图 1 HOG 特征提取流程图

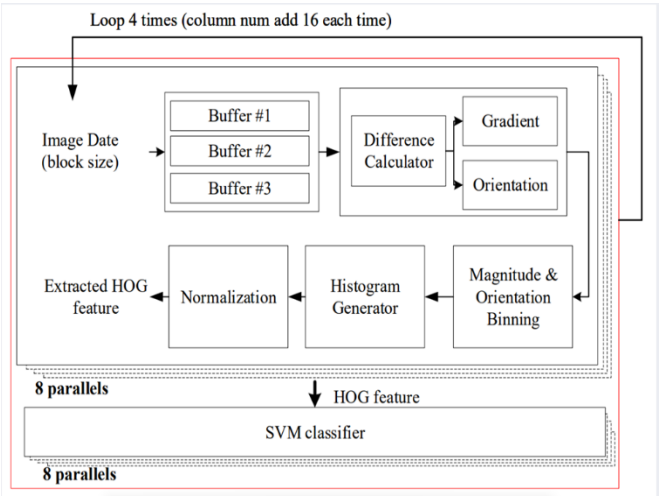


图 2 FPGA 结构

四．主要研究成果及应用情况

在 ISCEIC 发表论文 1 篇。 PC. Dai, JN. Yuan, J. Tang, Y. Ye, "A Hardware-Efficient HOG-SVM Algorithm and its FPGA Implementation ",2021 International Symposium on Computer Engineering and Intelligent Communications (ISCEIC), 2021.

联系人：戴鹏程， 电 话：18692159158 Email:285056647@qq.com